

SRAMセルアレイTEGを用いた特性評価 (SRAM characterization using Addressable Cell Array Test Structure)

背景と目的

トランジスタにおける各種ばらつき要因

Thickness variation
Stress variation
Local gate depletion
Line edge roughness
Random dopant fluctuation

ウェハ内ばらつき
チップ内ばらつき

SRAMセルの安定性

- IoTデバイスには低消費電力動作が望まれる。
- SRAMセルの安定性は、セルトランジスタのランダムばらつきに大きく影響され、特に低電圧動作では顕著である。

T. Hiramoto et al., IEEE TED, 2011.

$V_{DD}=0.4V$ では誤動作する。
(Experiment)

SRAMセルアレイTEG

- 内部ノードにアクセス可能であり、個々のセルトランジスタのIV特性およびバタフライカーブを直接測定できる。
- ⇒多数のSRAMと構成する個々のセルトランジスタを対応づけて特性評価可能。

To pads
To decoder
VL
VR
6T-SRAM

通常のSRAMセルを利用した一括書き込み可能なワンタイム不揮発性メモリ

動作原理

- 通常のSRAMをワンタイム不揮発メモリとして利用。
- 電源投入後は通常のSRAMセルとして使用。
- SRAMセルの電源にBTストレスをかけると、記憶されている情報が不安定となるようにセルバランスが変化する性質を利用。

BTストレスによるバタフライカーブの変化

反転させた情報を記憶させる
p-Onが弱くなる
記憶させたい情報
n-Onが弱くなる

不揮発情報の書き込み

- 1) 記憶させたい情報を反転してSRAMセルに書き込む。
- 2) 電源を高電圧にして一定時間保持する。

不揮発情報の読み出し

- 1) 電源を投入するだけで書き込んだ情報が初期データとして読み出される。

T. Mizutani et al., JJAP, 2017.

電源投入直後の状態

- 0.18 μm 6T-SRAM Device Matrix Array (DMA) TEGを使用。
- ランダムであった初期データが、BTストレスで全ビットが揃った。

2kビットのブロックで不揮発情報の書き込みと読み出しを確認。

BTストレス前
BTストレス後

アドレス切り替えノイズの低減

測定信号波形の見直しで読み出しを安定化。
K. Takeuchi et al., IEEE TSM, 2017.

初期データ決定メカニズム解析

- 立上げ速さで初期値の決まり方が変化。

速い ← 立上げ時間(s) → 遅い
K. Takeuchi et al., JJAP, 2017.

複数回ストレスを利用した特性ばらつき自己修復手法によるSRAMデータ保持電圧の最小化

新しいバージョンのSRAM安定性自己修復技術

- ランダム V_{TH} ばらつきにより劣化したSRAMセルの安定性を向上させる「安定性自己修復技術」において、新しい手法を提案。
- SRAMデータ保持電圧 (DRV) をより効果的に減少できることを実証。

一回ストレス (従来の手法)

非対称性が大きいセル
対称性がよいセル

安定性改善
過剰な特性修正

ストレスの印加手順

- 複数回ストレスでは、2回目以降もストレス印加前の電源投入直後状態に従ってストレスが印加される。

一回ストレス
複数回ストレス
*ストレス電圧2.8V

Silicon-on-Thin-BOX (SOTB) MOSFETs

65nm技術
 $T_{SOI}=12nm$,
 $T_{OX}=10nm$,
 $T_{INV}=2.8nm$

SRAMデータ保持電圧の最小化

非対称性が大きいセル
対称性がよいセル

OFF/ON状態が交互に入れ替わり $|V_{TH}|$ の値が振動した。
DRVをより効果的に減少できることを実証。

T. Mizutani et al., JJAP, 2018.