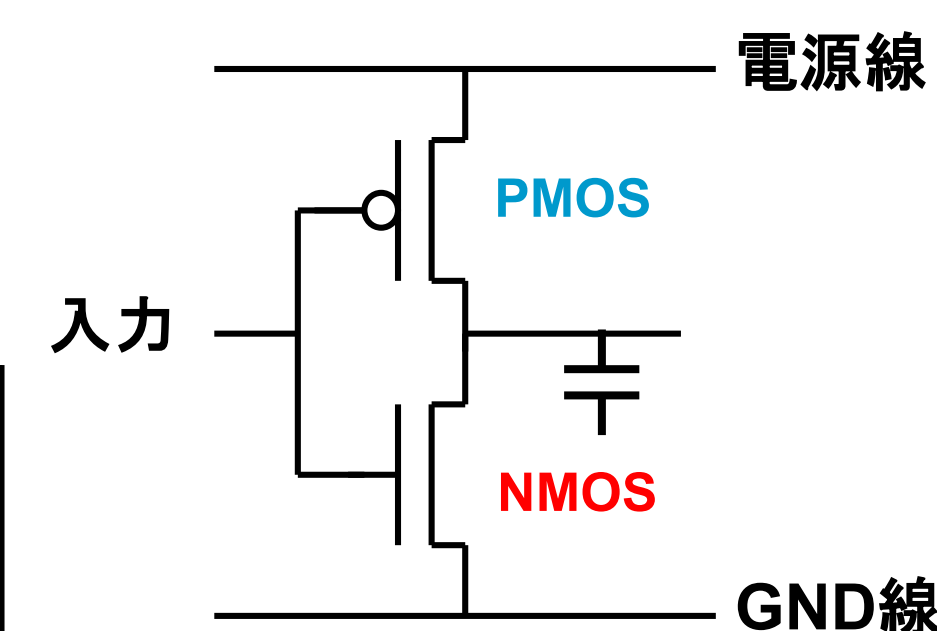
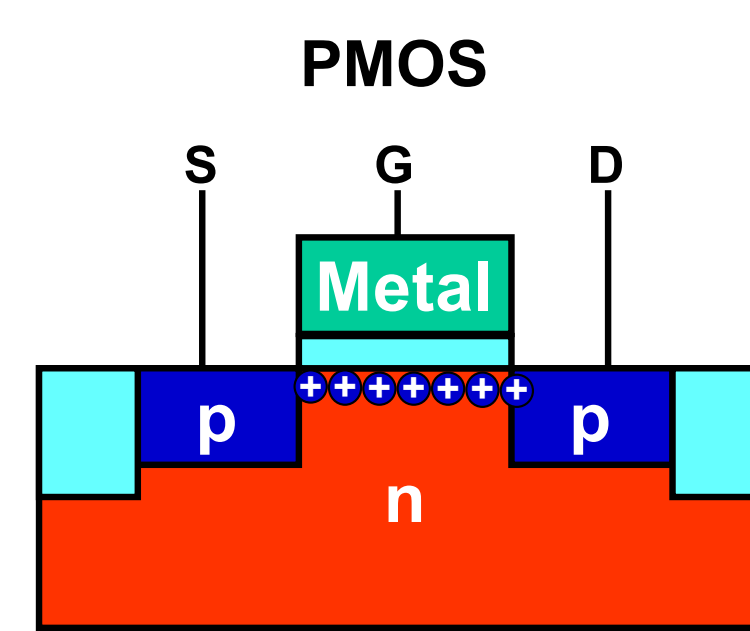
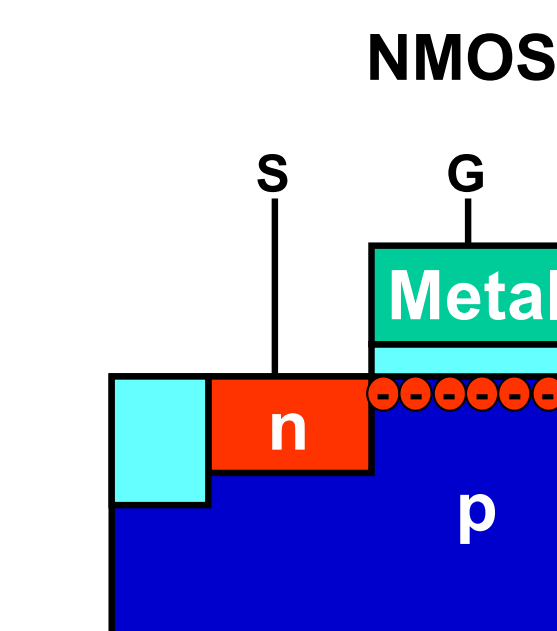
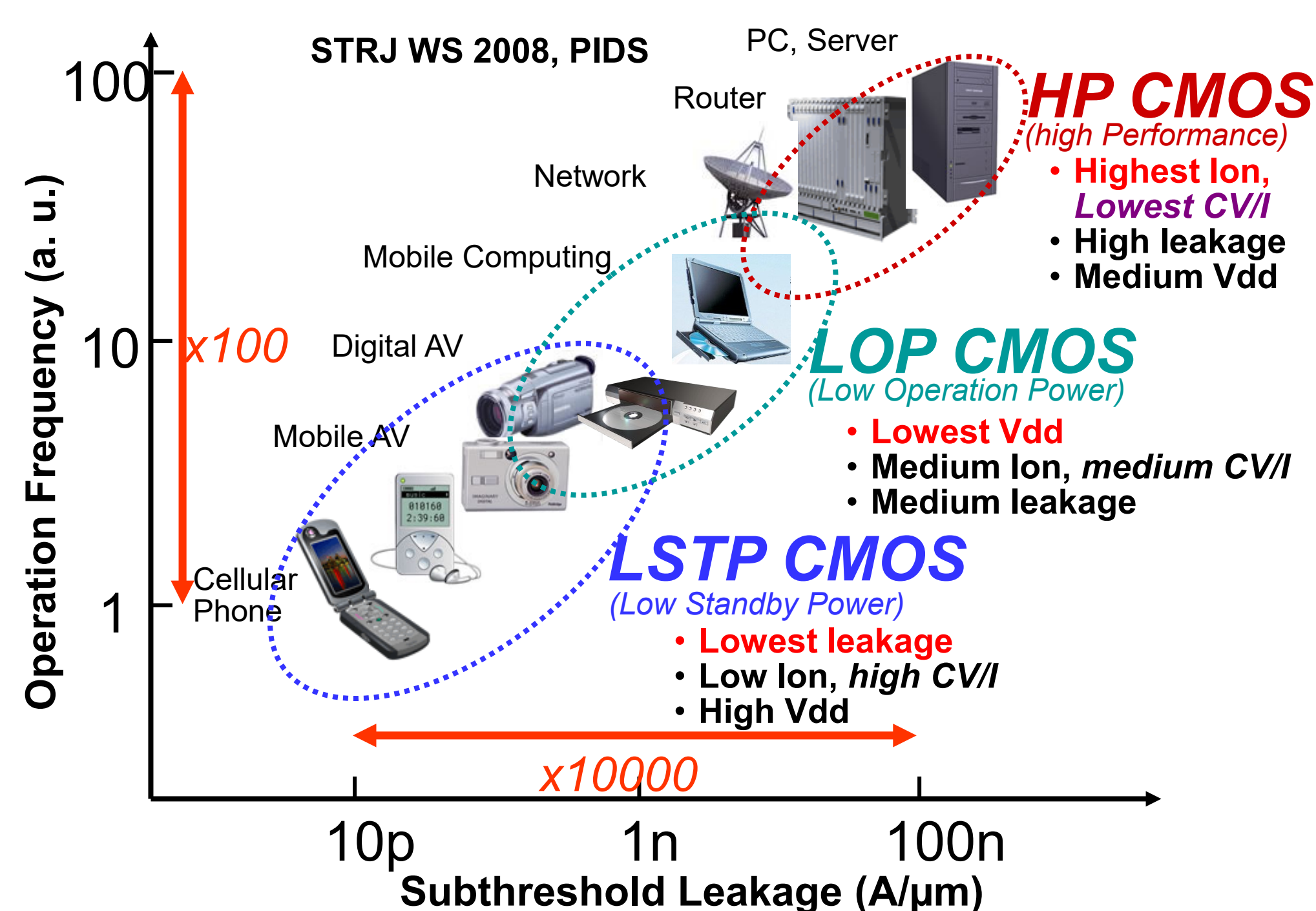


超低電力MOSトランジスタ (Ultra-Low Power MOSFET)

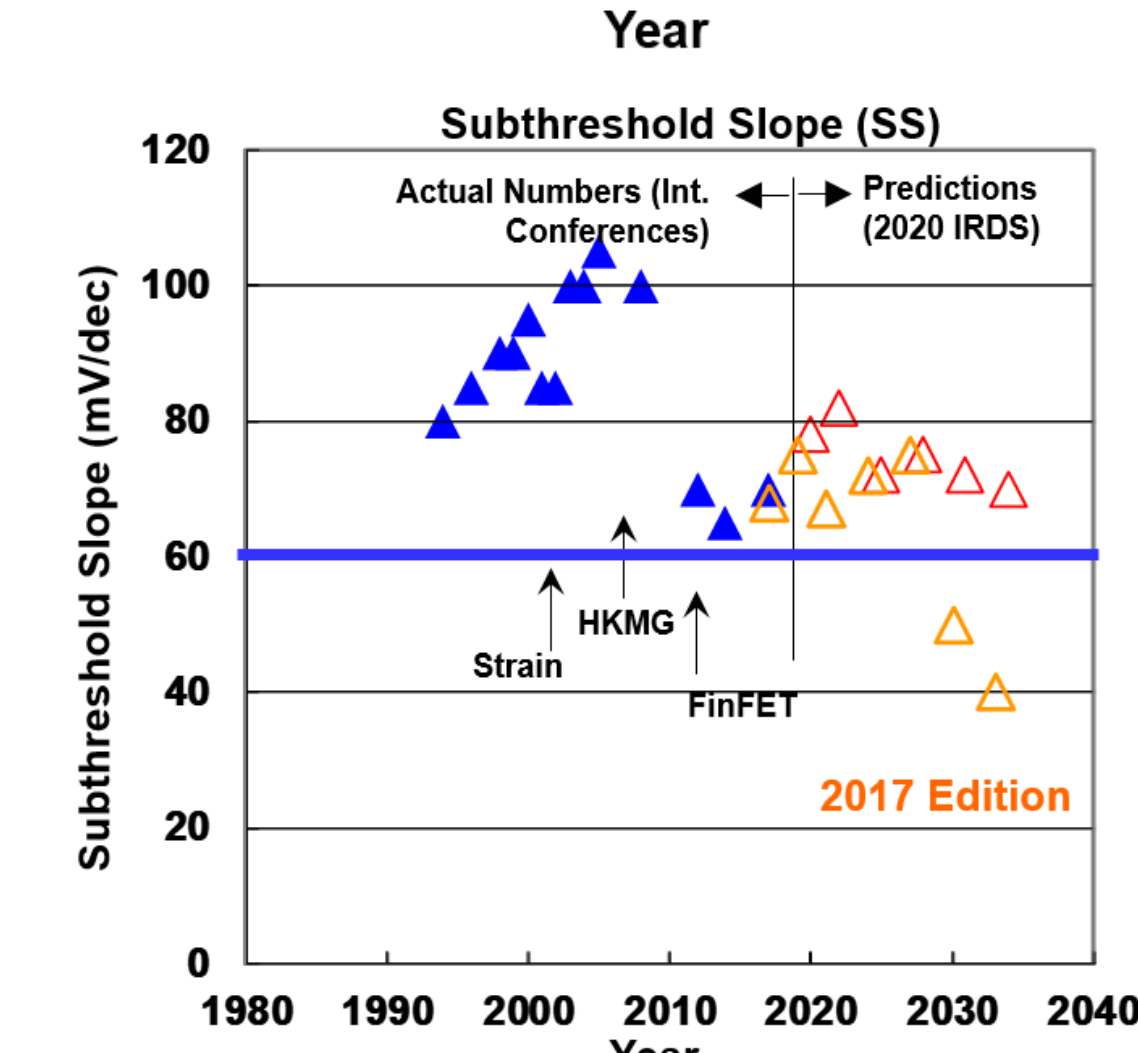
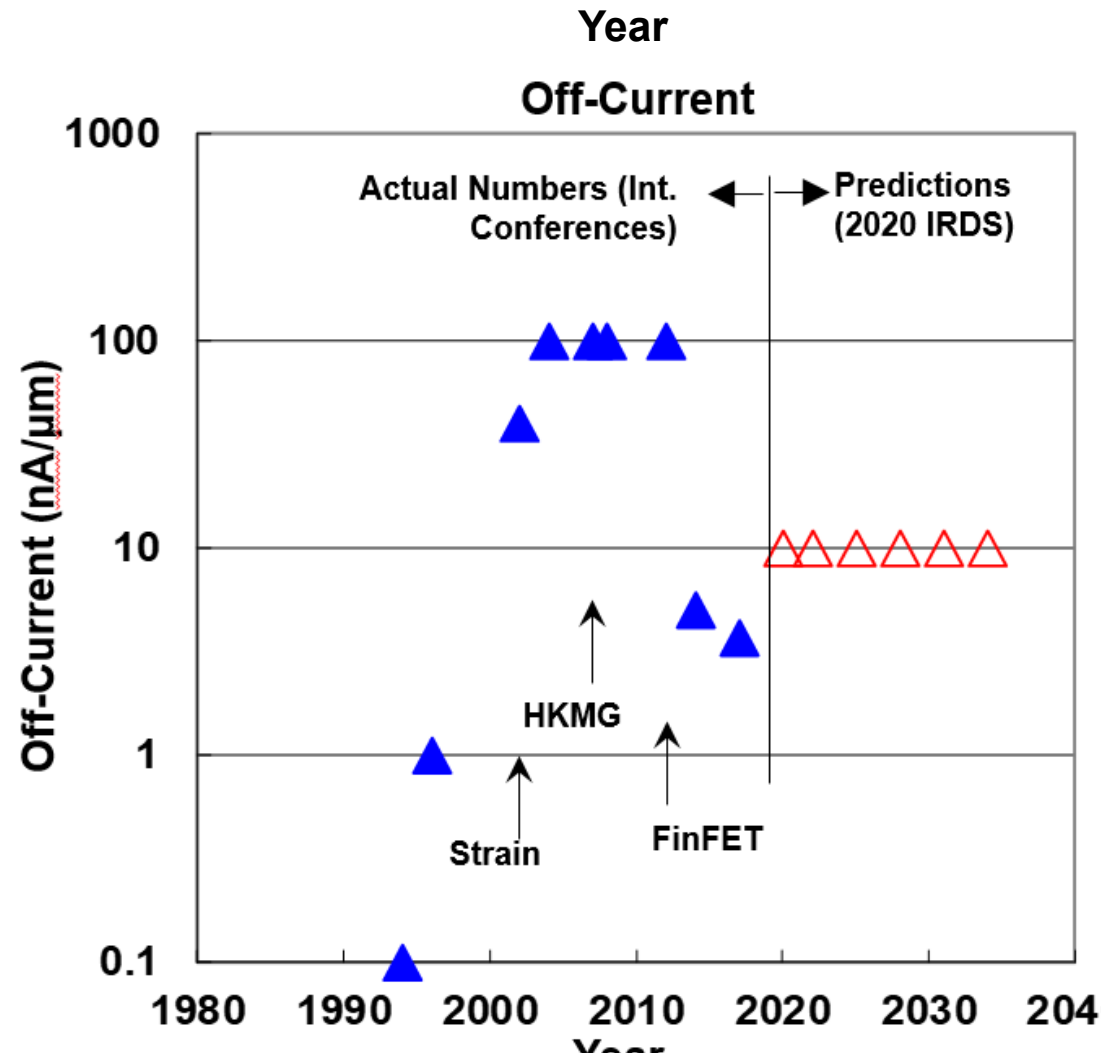
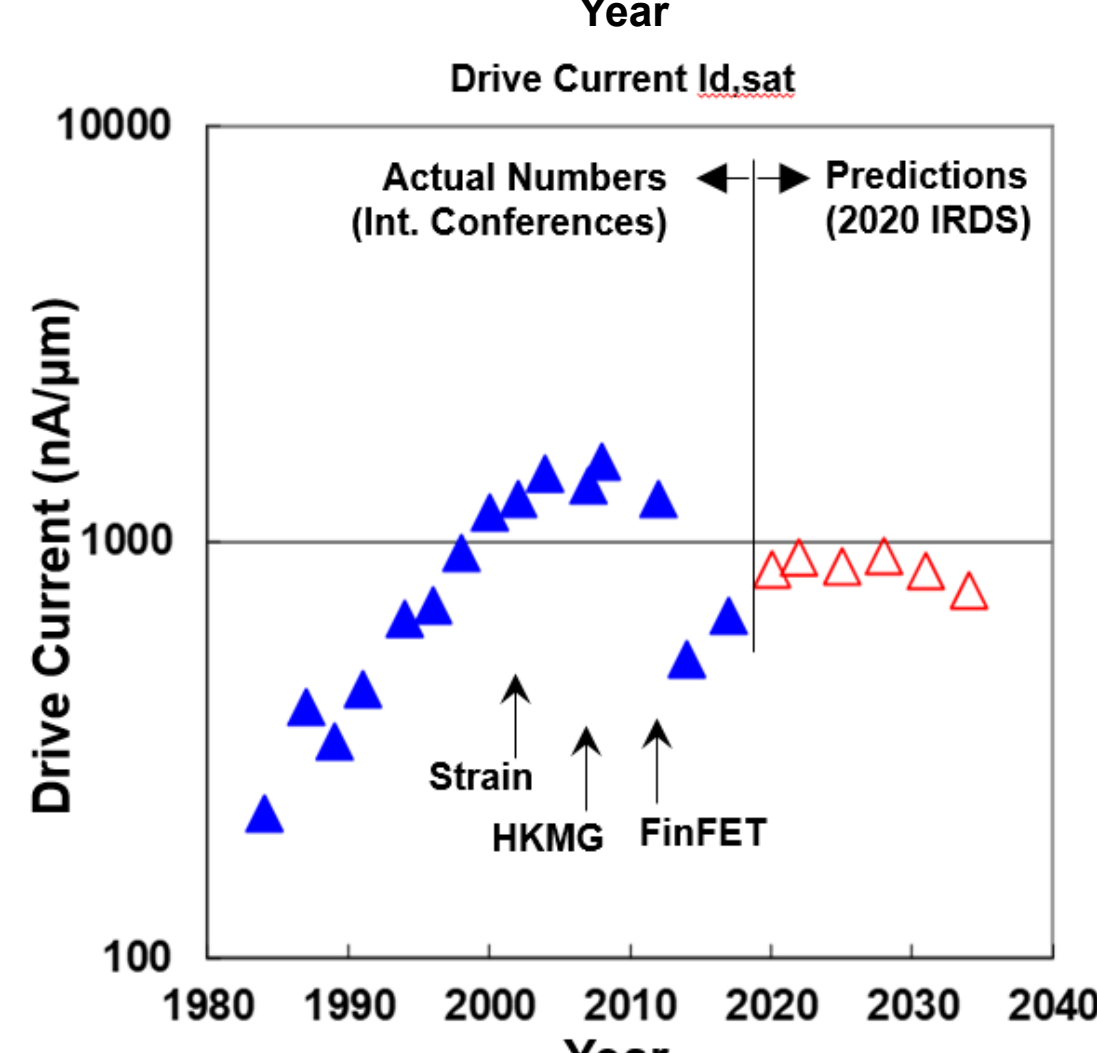
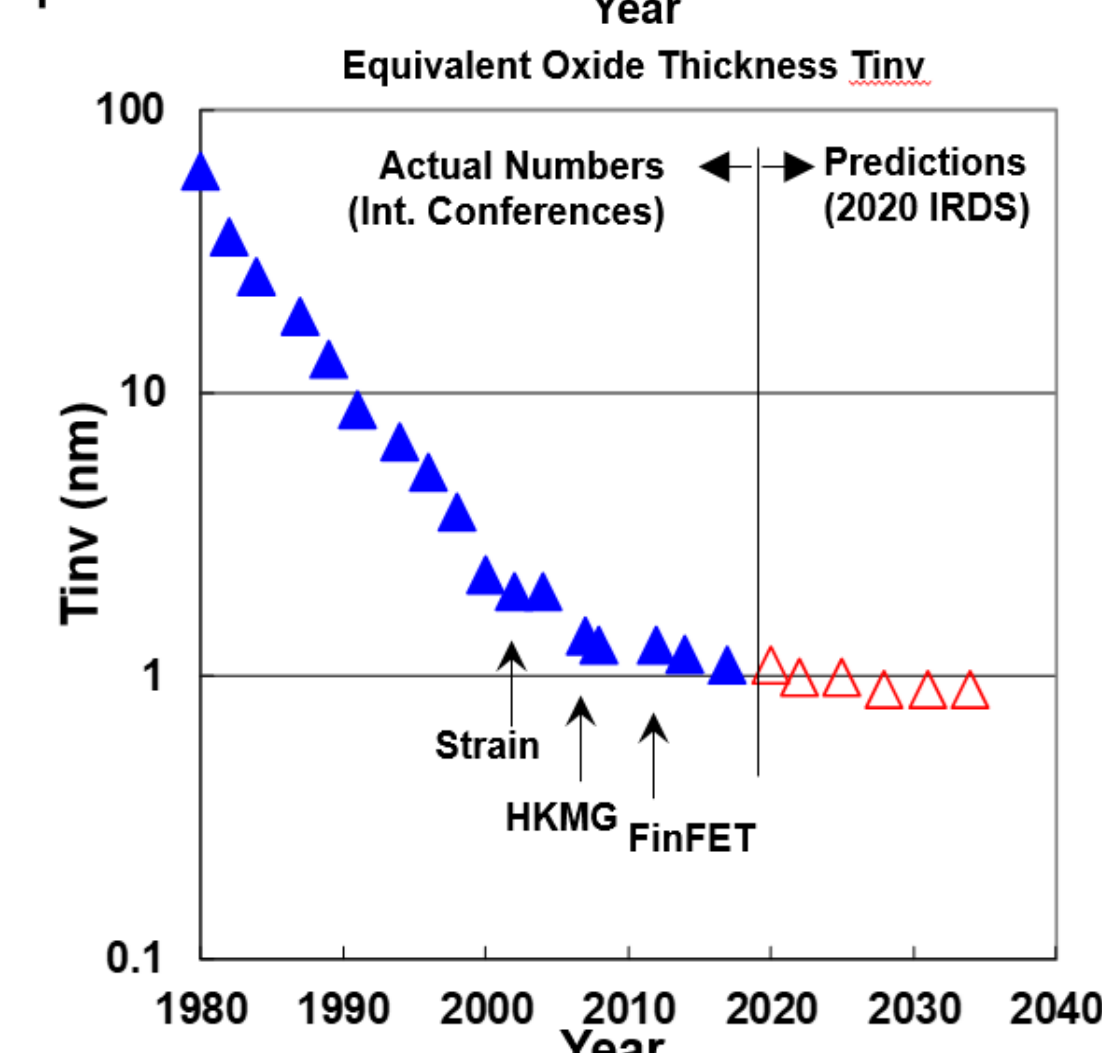
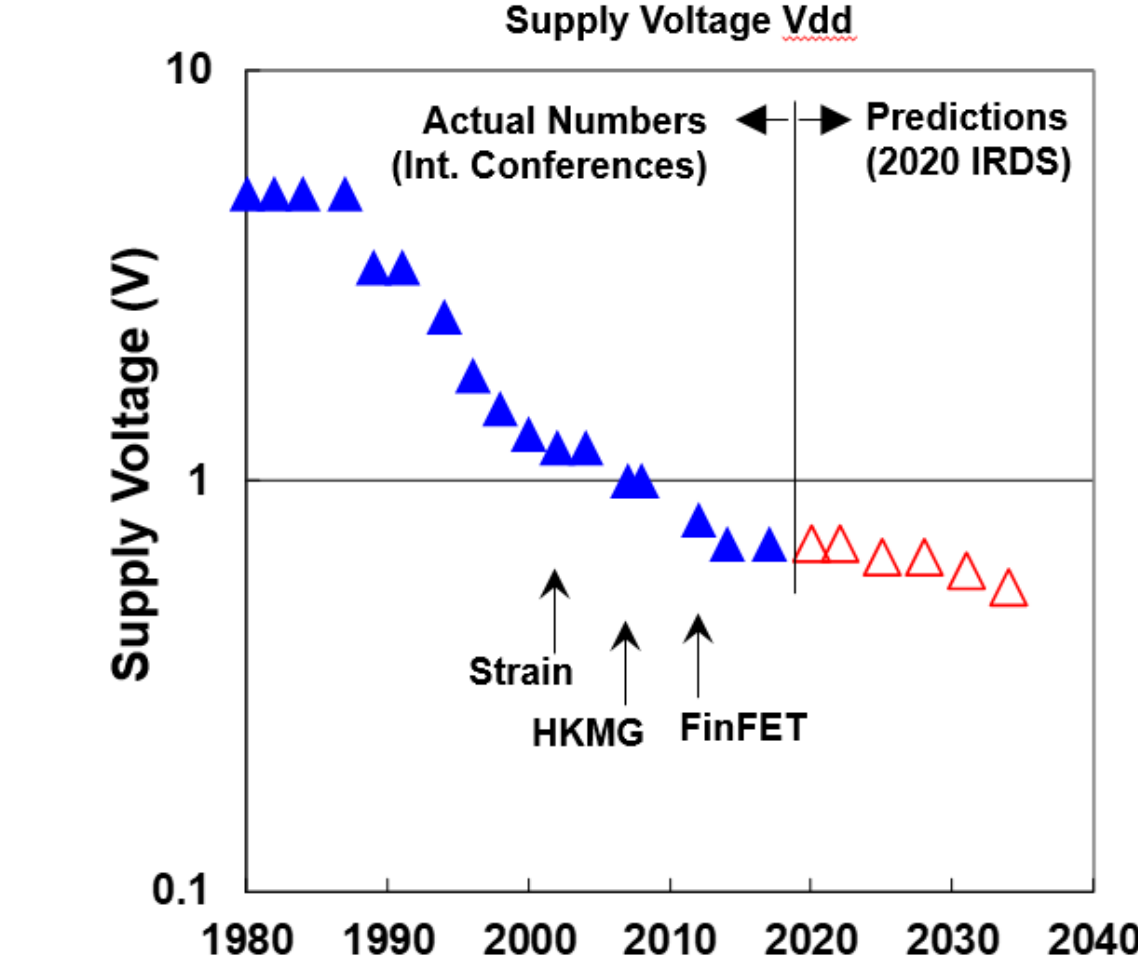
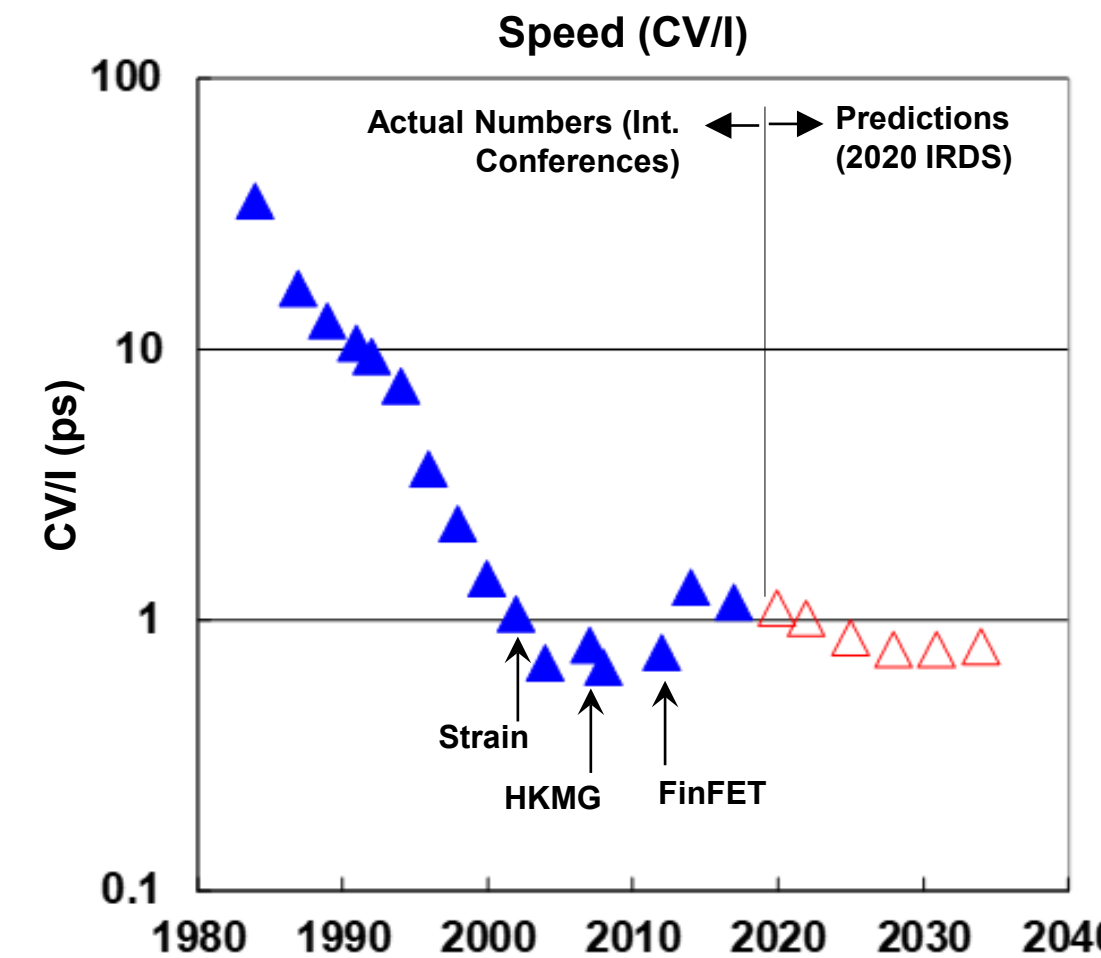
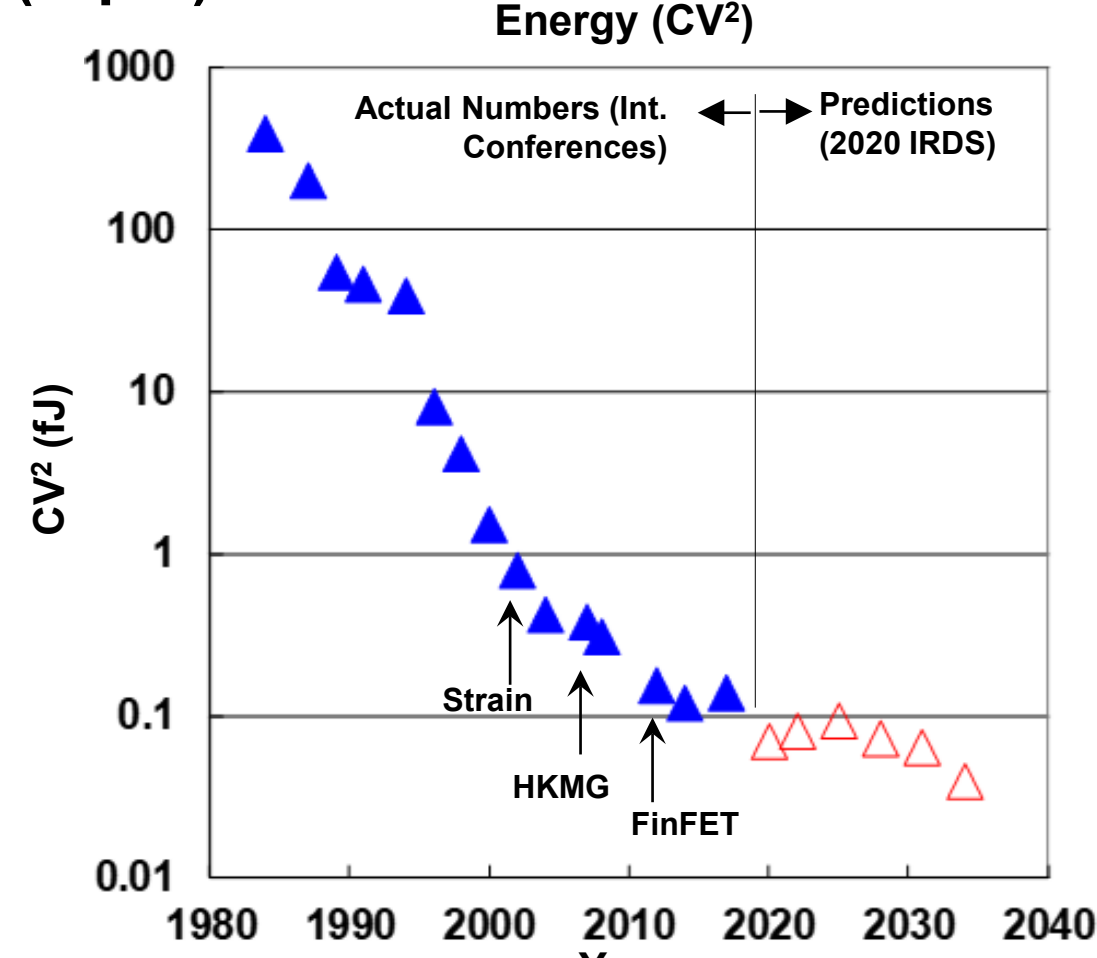
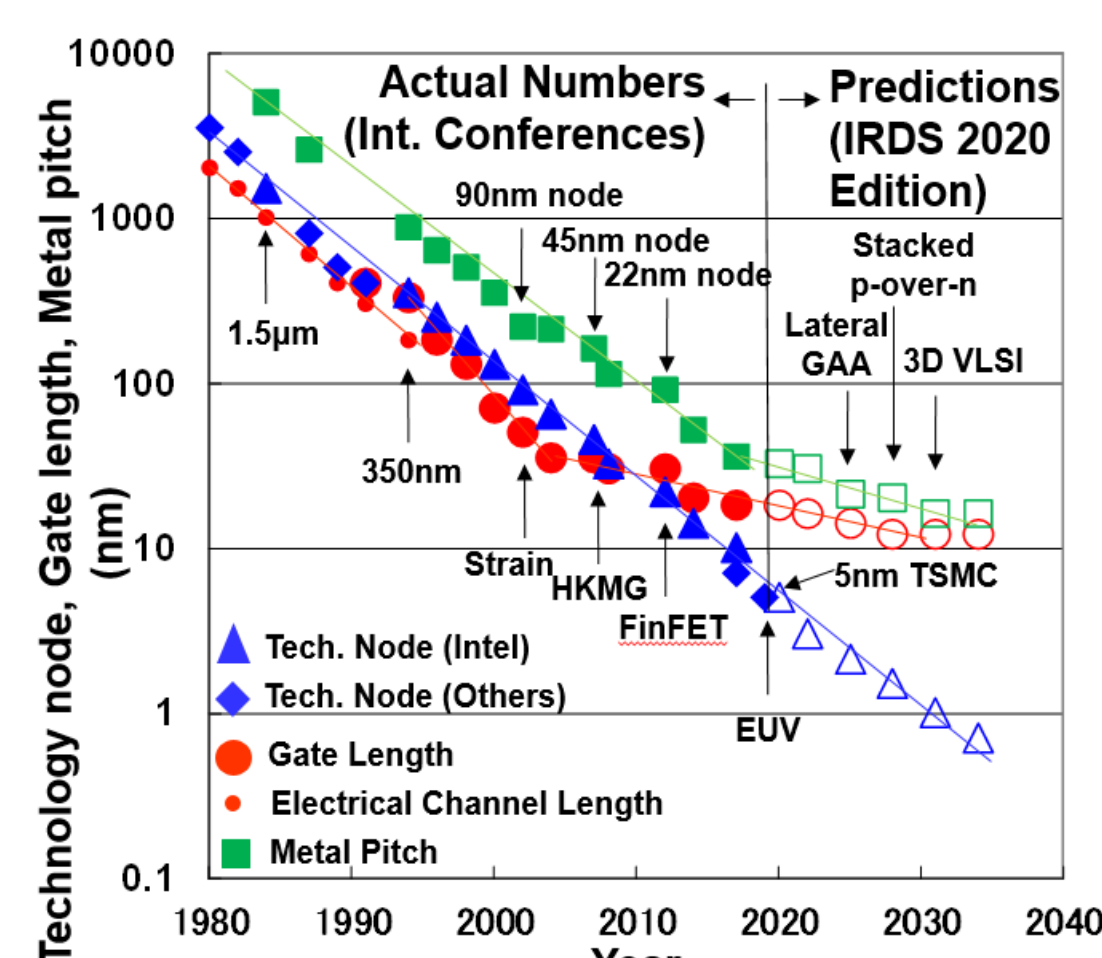
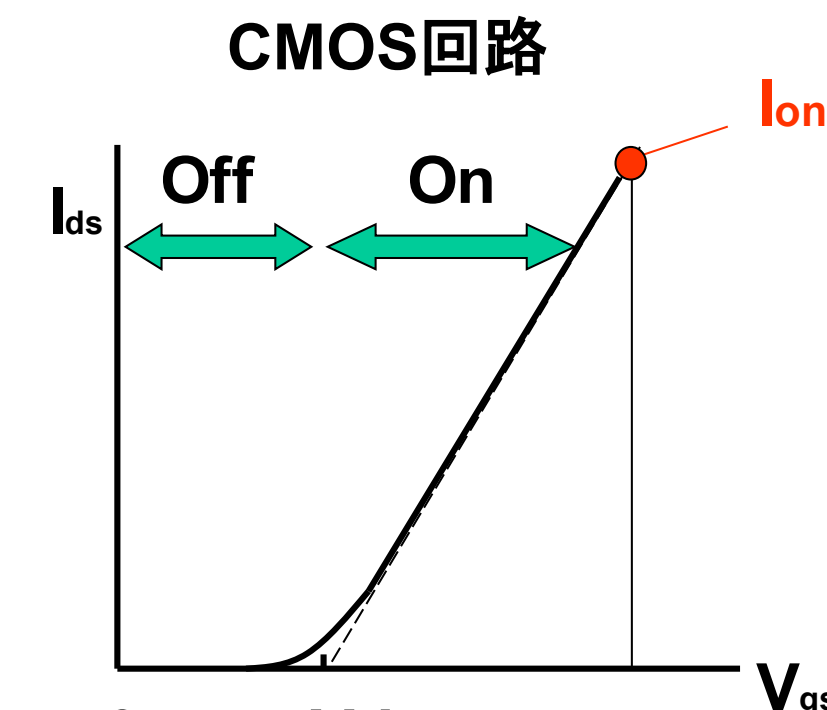
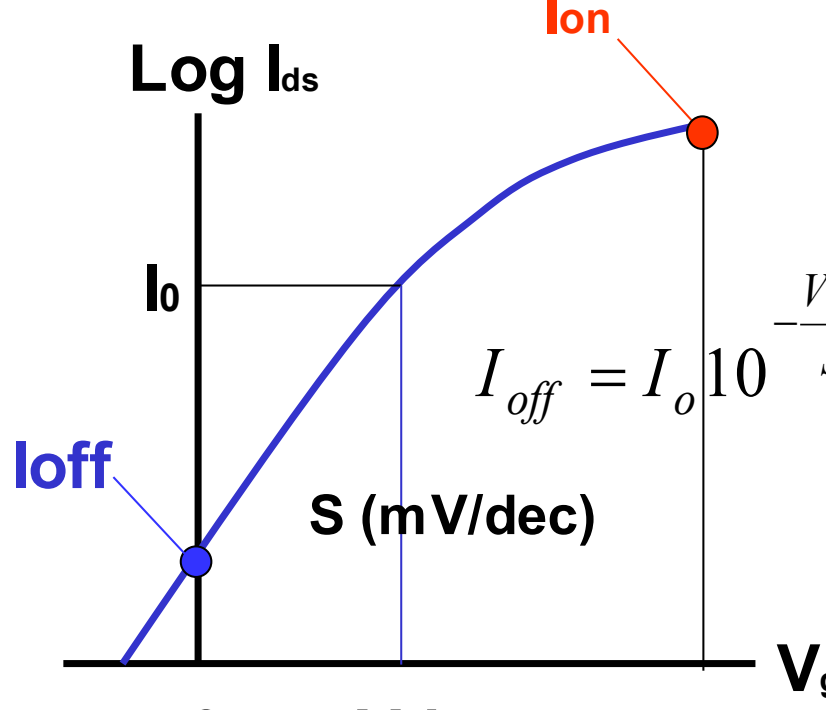
CMOSロジック (CMOS Logic)



$$\tau = \frac{C_{load} V_{dd}}{I_{on}} \quad (\text{Speed})$$

$$P_{total} = P_{active} + P_{static}$$

$$= \frac{f C_{load} V_{dd}^2}{2} + I_{off} V_{dd} \quad (\text{Power consumption})$$



低電圧化へ向けた取り組み (Toward ultra-low voltage devices)

① SSの改善

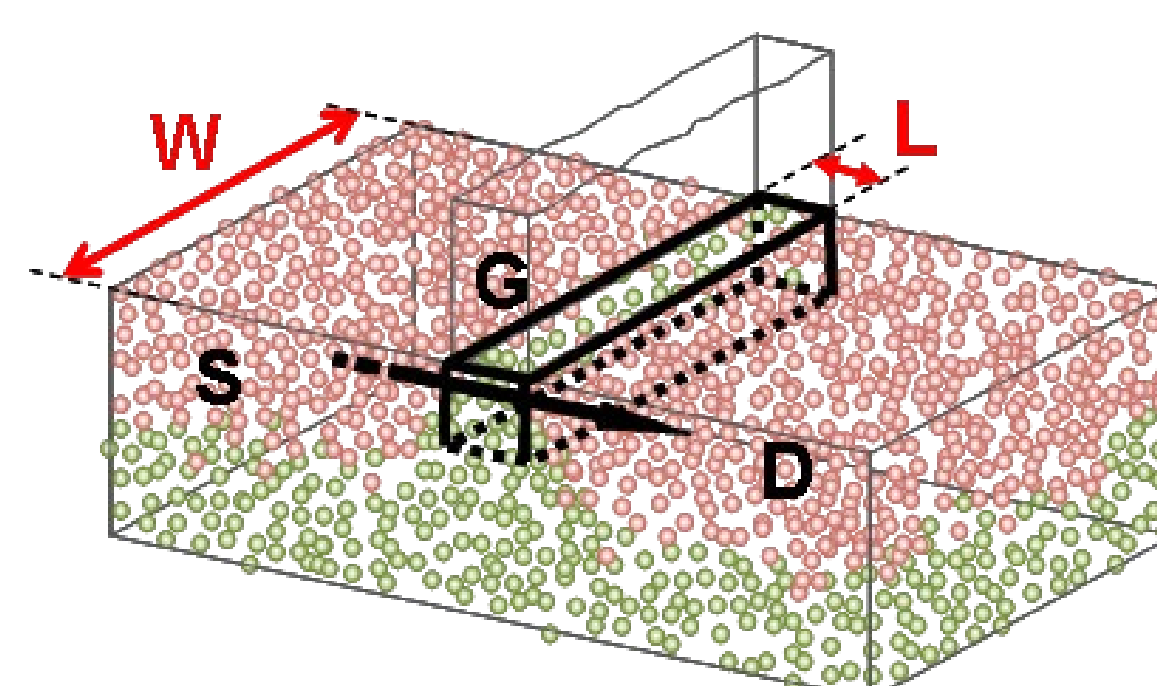
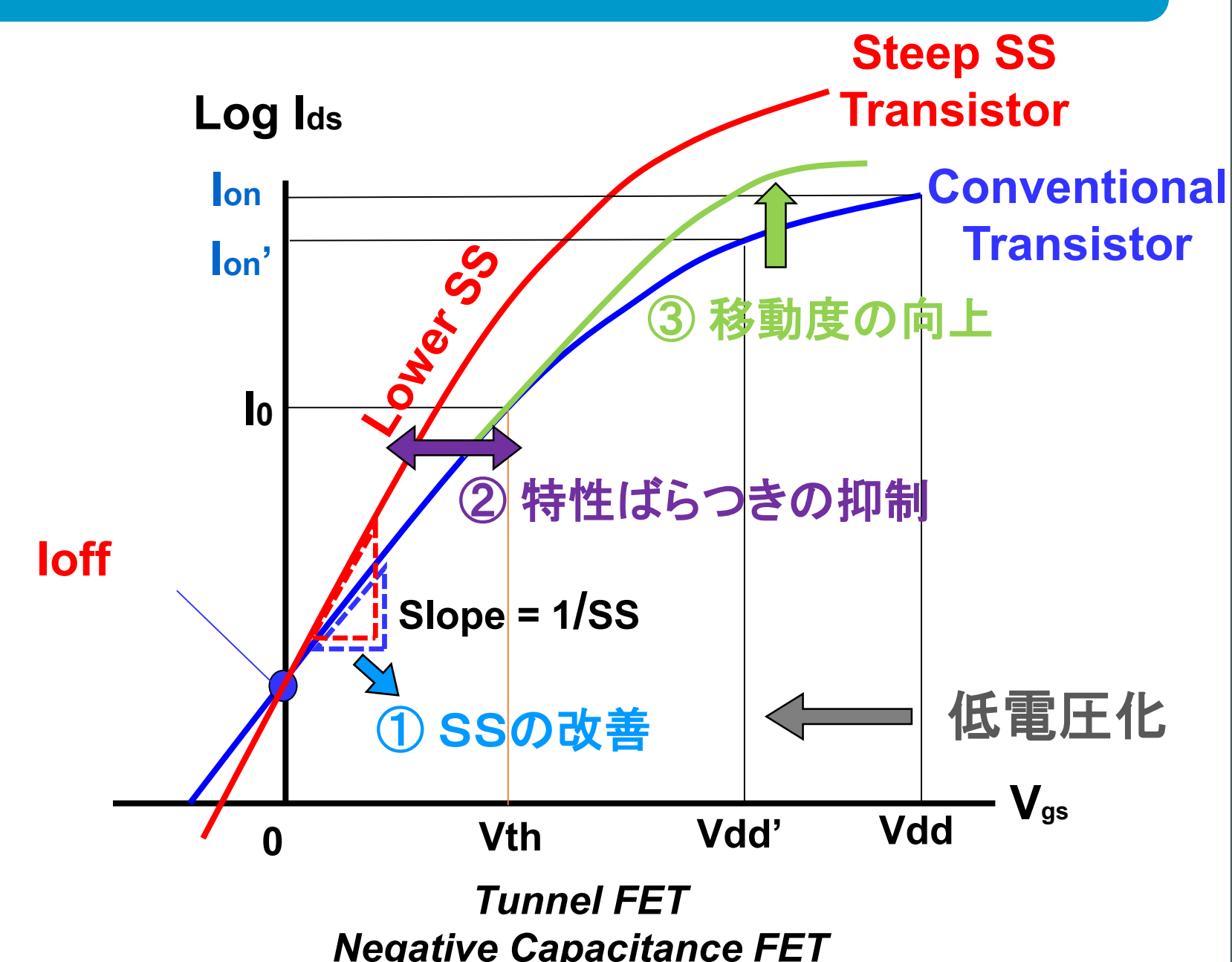
- FinFET構造 → 微細化とともに3Dナノワイヤトランジスタ構造へ短チャネル効果抑制, 量子閉じ込め効果の顕在化
- 急峻スロープトランジスタ (負性容量トランジスタ)

② 特性ばらつきの抑制

- 微細トランジスタにおけるばらつきの原因究明
- 完全空乏型SOIを用いたばらつきの少ないトランジスタ
- ナノワイヤトランジスタにおける特性ばらつき評価
- 安定性自己修復技術の提案と実証

③ 移動度の向上

- ナノワイヤトランジスタにおける移動度評価



65nm技術で製造されたMOSTランジスタの特性ばらつき

